

(6)

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-217420  
 (43)Date of publication of application : 02.08.2002

(51)Int.Cl.

H01L 29/786  
 H01L 21/76  
 H01L 21/762

(21)Application number : 2001-038978  
 (22)Date of filing : 15.02.2001

(71)Applicant : SAMSUNG ELECTRONICS CO LTD  
 (72)Inventor : KIM MIN-SU  
 KIM KWANG-IL

(30)Priority

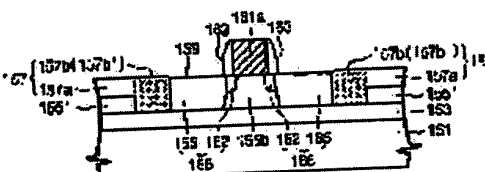
Priority number : 2000 200082006 Priority date : 26.12.2000 Priority country : KR

(54) SOI SEMICONDUCTOR INTEGRATED CIRCUIT FOR REMOVING FLOATING BODY EFFECTS OF SOI TRANSISTOR, AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an SOI semiconductor device for removing floating body effects of an SOI transistor, and to provide its manufacturing method.

SOLUTION: In a method of isolating an SOI transistor, by forming a trench and filling up the trench with an insulating film, there are provided a completely isolated region 157b where a trench is cut, until it reaches a ground insulating film and a partial isolation region 157a which is cut so as not to reach to the ground insulating film, leaving an SOI layer uncut. Both the ends of a gate electrode traversing the above part of a transistor active region 155b through the intermediary of a gate insulating film 159 are arranged on the partial isolation region. The circumference of the source and drain regions are surrounded with the complete isolation region 157b, excluding the gate electrode and its vicinity. A body contact region 155a is provided in a region, located near the outside of the partial isolation region and on the extension line of the gate electrode. The SOI active region is electrically connected to the external body contact through a semiconductor region under the partially isolated region and is capable of eliminating the floating body effects.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

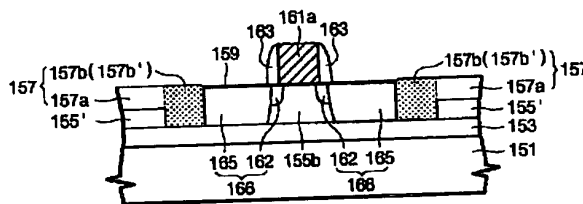
[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



## 【特許請求の範囲】

【請求項 1】 支持基板、前記支持基板上に積層された埋立絶縁層及び前記埋立絶縁層上に積層された第 1 導電型の半導体層で構成された SOI (SOI: silicon on insulator) 基板上に形成された SOI 半導体集積回路において、前記半導体層の所定領域に形成されたトランジスタ活性領域と、  
前記トランジスタ活性領域から外れて、前記半導体層の一部分に形成された少なくとも 1 つのボデーコンタクト活性領域と、  
前記トランジスタ活性領域及び前記ボデーコンタクト活性領域の間の前記埋立絶縁層上に配置され、前記半導体層より薄い半導体残余物層と、  
前記半導体残余物層上に配置され、前記トランジスタ活性領域及び前記ボデーコンタクト活性領域の上部側壁を囲む部分トレンチ素子分離層と、  
前記部分トレンチ素子分離層及び前記トランジスタ活性領域の間に介在し、前記埋立絶縁層と接触する完全トレンチ素子分離層と、  
前記半導体残余物の所定の側壁から前記トランジスタ活性領域に向かって延長され、前記トランジスタ活性領域を前記半導体残余物層に電気的に連結させ、前記部分トレンチ素子分離層によって覆われるボデー延長部と、  
前記トランジスタ活性領域の上部を横切り、前記ボデー延長部上で前記部分トレンチ素子分離層と重畳された絶縁されたゲートパターンとを含むことを特徴とする SOI 半導体集積回路。

【請求項 2】 前記第 1 導電型は p 型又は n 型であることを特徴とする請求項 1 に記載の SOI 半導体集積回路。

【請求項 3】 前記半導体層はシリコン層であることを特徴とする請求項 1 に記載の SOI 半導体集積回路。

【請求項 4】 前記完全トレンチ素子分離層は互いに分離された第 1 完全トレンチ素子分離層及び第 2 完全トレンチ素子分離層で構成されることを特徴とする請求項 1 に記載の SOI 半導体集積回路。

【請求項 5】 前記第 1 及び第 2 完全トレンチ素子分離層は前記ゲートパターンに対して互いに対称であることを特徴とする請求項 4 に記載の SOI 半導体集積回路。

【請求項 6】 前記ゲートパターンの両側に位置した前記トランジスタ活性領域に形成されたソース/ドレイン領域を含み、前記ソース/ドレイン領域は前記第 1 導電型と反対の第 2 導電型であり、前記埋立絶縁層と接触することを特徴とする請求項 1 に記載の SOI 半導体集積回路。

【請求項 7】 前記完全トレンチ素子分離層は前記ソース/ドレインを囲むことを特徴とする請求項 6 に記載の SOI 半導体集積回路。

【請求項 8】 前記ボデーコンタクト活性領域に形成されたウェルコンタクト領域を含み、前記ウェルコンタクト領域は前記第 1 導電型であることを特徴とする請求項

1 に記載の SOI 半導体集積回路。

【請求項 9】 支持基板、前記支持基板上に積層された埋立絶縁層及び前記埋立絶縁層上に積層された第 1 導電型の半導体層で構成された SOI 基板上に SOI 半導体集積回路を製造する方法において、

前記半導体層の一部分をエッチングしてトランジスタ活性領域及び前記トランジスタ活性領域から外れた少なくとも 1 つのボデーコンタクト活性領域を画定する部分トレンチ領域を形成すると共に、前記トランジスタ活性領域及び前記ボデーコンタクト活性領域の間に前記半導体層より薄い半導体残余物層を残す段階と、

前記半導体残余物層の所定領域をエッチングして前記トランジスタ活性領域周辺の前記埋立絶縁層を露出させる完全トレンチ領域を形成すると共に、前記半導体残余物層の側壁の一部分から前記トランジスタ活性領域に向かって延長され、前記トランジスタ活性領域を前記半導体残余物層と連結させるボデー延長部を画定する段階と、  
前記部分トレンチ領域及び前記完全トレンチ領域内に各々部分トレンチ素子分離層及び完全トレンチ素子分離層を形成する段階と、

前記トランジスタ活性領域の上部を横切り、前記ボデー延長部と重畳された絶縁されたゲートパターンを形成する段階とを含むことを特徴とする SOI 半導体集積回路の製造方法。

【請求項 10】 前記部分トレンチ領域を形成する段階は、

前記半導体層上に少なくとも 2 つの分離されたマスクパターンで構成された第 1 トレンチマスクパターンを形成する段階と、

第 1 トレンチマスクパターンをエッチングマスクとして使用して前記半導体層を前記半導体層の厚さより薄い所定の厚さほどエッチングする段階とを含むことを特徴とする請求項 9 に記載の SOI 半導体集積回路の製造方法。

【請求項 11】 前記第 1 トレンチマスクパターンを形成する段階は、

前記半導体層上に第 1 トレンチマスク層を形成する段階と、

前記第 1 トレンチマスク層をパターンニングする段階とを含むことを特徴とする請求項 10 に記載の SOI 半導体集積回路の製造方法。

【請求項 12】 前記第 1 トレンチマスク層は前記半導体層上にパッド酸化層及びパッド窒化層を順次に積層して形成することを特徴とする請求項 11 に記載の SOI 半導体集積回路の製造方法。

【請求項 13】 前記完全トレンチ領域を形成すると共に、前記ボデー延長部を画定する段階は、

前記トランジスタ活性領域周辺の前記半導体残余物層の一部分を露出させ、前記トランジスタ活性領域の側壁から延長された前記半導体残余物層の他の部分を覆う第 2 トレンチマスクパターンを形成する段階と、

## 3

前記第1及び第2トレンチマスクパターンをエッチングマスクとして使用して前記埋立絶縁層が露出されるまで前記露出された半導体残余物層をエッチングする段階と、

前記第2トレンチマスクパターンを除去する段階とを含むことを特徴とする請求項10に記載のSOI半導体集積回路の製造方法。

【請求項14】 前記完全トレンチ素子分離層及び部分トレンチ素子分離層を形成する段階は、

前記第2トレンチマスクパターンが除去された結果物の全面に前記部分トレンチ領域及び前記完全トレンチ領域を充填する絶縁層を形成する段階と、

前記第1トレンチマスクパターンの上部面が露出される時まで前記絶縁層を平坦化させる段階と、

前記第1トレンチマスクパターンを除去して前記トランジスタ活性領域及び前記ボデーコンタクト活性領域を露出させる段階とを含むことを特徴とする請求項13に記載のSOI半導体集積回路の製造方法。

【請求項15】 前記ゲートパターンの両側に位置した前記トランジスタ活性領域及びソース/ドレイン領域を形成する段階を含み、前記ソース/ドレイン領域は前記第1導電型と反対の第2導電型の不純物にドーピングされ、前記埋立絶縁層と接触することを特徴とする請求項9に記載のSOI半導体集積回路の製造方法。

【請求項16】 前記ボデーコンタクト活性領域にウェルコンタクト領域を形成する段階を含み、前記ウェルコンタクト領域は前記第1導電型の不純物にドーピングされることを特徴とする請求項15に記載のSOI半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はSOI(SOI:silicon on insulator)技術に係り、より詳細には、SOIトランジスタのフローティングボデー効果を除去するためのSOI半導体集積回路及びその製造方法に関する。

【0002】

【従来の技術】半導体製造産業において、半導体集積回路の動作速度を改善させるために、寄生キャパシタンス及び抵抗成分を減少させるための努力が行なわれている。SOIトランジスタは接合キャパシタンスが小さく、素子分離特性が優れているという長所のために、低電力及び高速であり、バルクトランジスタに比べて優秀であると言われている。これに加えて、SOI素子は高集積度だけでなくソフトエラー(soft error)に対する優秀な耐性、低消費電力及び優秀なラッチアップ(latch-up)耐性のような多くの長所を有する。SOI素子の特徴にもかかわらず、SOI集積回路は製造工程及び素子設計に関する技術的な問題点のために商業的な成功がなされていない。

【0003】図1は従来のSOIトランジスタを示す概略

## 4

的な平面図である。図2は図1のI-I'線による断面図であり、図3は図1のII-II'線による断面図である。

【0004】図1乃至図3を参照すると、SOI基板は、支持基板1、支持基板1上の埋立絶縁層3及び埋立絶縁層3上の第1導電型の半導体層5を含む。半導体層5をエッチングして、半導体層5の厚さより薄い部分トレンチ領域を形成する。従って、部分トレンチ領域の下に半導体残余物層が残存する。部分トレンチ領域はトランジスタ活性領域5b及びトランジスタ活性領域5bから外れたボデー(body)コンタクト活性領域5aを画定する。部分トレンチ領域は素子分離層7で充填される。絶縁されたゲートパターン11がトランジスタ活性領域5bの上部を横切る。絶縁されたゲートパターン11はゲート絶縁層9によってトランジスタ活性領域5bと電気的に絶縁される。ゲートパターン11の両側に位置したトランジスタ活性領域5bに第2導電型のソース/ドレイン領域16を形成する。ソース/ドレイン領域16はLDD(LDD:lightly doped drain)構造で形成され得る。このようなLDD構造のソース/ドレイン領域は低濃度領域12と高濃度領域15とを含み、ゲートパターン11の側壁に形成されたスペーサ13を使用して実現できる。ソース/ドレイン領域16は寄生キャパシタンスを減少させるために埋立絶縁層3と接触するように形成する。ボデーコンタクト活性領域5aに第1導電型の不純物を注入してウェルコンタクト領域17を形成する。

【0005】前述のように、従来のSOI技術は寄生接合キャパシタンスにおいて、改善された特性を提供する。しかし、ソース/ドレイン領域の下部側壁が、図3に示すように、素子分離層の下の半導体残余物層と接触するので、依然として、側壁寄生キャパシタンスが存在する。これに加えて、半導体残余物層がトランジスタ活性領域を囲むので、ラッチアップ耐性(latch-up immunity)が減少する。従って、SOI技術を改善する必要性が要求される。

【0006】

【発明が解決しようとする課題】本発明は、SOI集積回路において、フローティングボデー効果を除去するための技術を提供することを目的とする。

【0007】さらに、本発明は、SOI集積回路において、寄生接合キャパシタンスを減少させ、ラッチアップ耐性を改善させるための技術を提供することを目的とする。

【0008】

【課題を解決するための手段】前述の目的を達成するために、本発明によるSOI集積回路は、支持基板、支持基板上の埋立絶縁層及び埋立絶縁層上の第1導電型の半導体層を含むSOI基板上に形成される。本発明によるSOI集積回路は、少なくとも1つのトランジスタ活性領域とトランジスタ活性領域から外れた少なくとも1つのボデー

コンタクト活性領域とを備える。トランジスタ活性領域及びボデーコンタクト活性領域は半導体層の一部分で形成される。トランジスタ活性領域及びボデーコンタクト活性領域の間の埋立絶縁層は半導体残余物層によって覆われる。半導体残余物層はトランジスタ活性領域及びボデーコンタクト活性領域より薄い。結果的に、トランジスタ活性領域及びボデーコンタクト活性領域の間に部分トレンチ領域が存在する。部分トレンチ領域は部分トレンチ素子分離層で充填される。トランジスタ活性領域及び部分トレンチ素子分離層の間に完全トレンチ素子分離層 (full trench isolation layer) が介在する。完全トレンチ素子分離層は埋立絶縁層と接触する。従って、完全トレンチ素子分離層はトランジスタ活性領域の側壁を囲む。半導体残余物層の側壁の一部分からトランジスタ活性領域に向かってボデー延長部が延長される。ボデー延長部はトランジスタ活性領域を半導体残余物層と連結させ、部分トレンチ素子分離層によって覆われる。絶縁されたゲートパターンがトランジスタ活性領域の上部を横切る。ボデー延長部は少なくともゲートパターンの一段と重畳される。

【0009】本発明は、ゲートパターンの両側に位置したトランジスタ活性領域に形成されたソース/ドレイン領域を含む。望ましくは、ソース/ドレイン領域は埋立絶縁層と接触する。従って、ソース/ドレイン領域は完全トレンチ素子分離層及び埋立絶縁層によって囲まれる。

【0010】本発明によると、埋立絶縁層と接触する完全トレンチ素子分離層がソース/ドレイン領域を完全に囲む。従って、ラッチアップ耐性を向上させることは勿論、寄生接合キャパシタンスを最小化させ得る。

【0011】また、本発明は、支持基板、支持基板上の埋立絶縁層及び埋立絶縁層上の第1導電型の半導体層で構成されたSOI基板上にSOI集積回路を製造する方法を提供する。この方法によると、半導体層の所定領域をエッチングして少なくとも1つのトランジスタ活性領域及びトランジスタ活性領域から外れた少なくとも1つのボデーコンタクト活性領域を画定する部分トレンチ領域を形成すると共に、部分トレンチ領域の下に半導体層より薄い半導体残余物層を残す。埋立絶縁層が露出されるまで、半導体残余物層の一部分を選択的にエッチングして、トランジスタ活性領域を囲む完全トレンチ領域を形成すると共に、トランジスタ活性領域を半導体残余物層に連結させる第1導電型のボデー延長部を残す。部分トレンチ領域及び完全トレンチ領域内に各々部分トレンチ素子分離層及び完全トレンチ素子分離層を形成する。トランジスタ活性領域の上部を横切り、ボデー延長部上の部分トレンチ素子分離層と重畳された絶縁されたゲートパターンを形成する。

【0012】これに加えて、本発明はゲートパターンの両側のトランジスタ活性領域に第2導電型のソース/ド

レイン領域を形成する。ソース/ドレイン領域は埋立絶縁層と接触するように形成する。

【0013】

【発明の実施の形態】以下、本発明の望ましい実施形態を添付した図面を参照して詳細に説明する。

【0014】以下、本発明はNMOSトランジスタ又はPMOSトランジスタを含むSOI回路を例にして説明されるが、本発明はNMOSトランジスタ又はPMOSトランジスタで構成されたCMOS (CMOS: complementary MOS) 回路を有するSOI集積回路にも適用され得る。

10 【0015】図4は本発明によるSOI集積回路を示す平面図である。また、図5は、図4のIII-III'線による断面図であり、図6は、図4のIV-IV'線による断面図である。

20 【0016】図4、図5及び図6を参照すると、第1導電型の半導体層の所定領域に部分トレンチ素子分離層157aが形成される。第1導電型はp型又はn型である。半導体層、即ち、シリコン層は埋立絶縁層153上に積層され、埋立絶縁層153は支持基板151上に位置する。部分トレンチ素子分離層157aはトランジスタ活性領域155b及びトランジスタ活性領域155bから外れたボデーコンタクト活性領域155aを画定する。部分トレンチ素子分離層157a及び埋立絶縁層153の間に半導体残余物層155'が介在する。半導体残余物層155'はボデーコンタクト活性領域155a及びトランジスタ活性領域155bより薄い。部分トレンチ素子分離層157a及びトランジスタ活性領域155bの間に完全トレンチ素子分離層157bが介在する。完全トレンチ素子分離層157bは埋立絶縁層153と接触する。トランジスタ活性領域155bは半導体残余物層155'の側壁の一部分からトランジスタ活性領域166b

30 bに向かって延長されたボデー延長部155'を介して半導体残余物層155'と連結される。ボデー延長部155'は部分トレンチ素子分離層157aによって覆われる。結果的に、トランジスタ活性領域155bの側壁の大部分は完全トレンチ素子分離層157bによって囲まれる。部分トレンチ素子分離層157a及び完全トレンチ素子分離層157bは素子分離層157を構成する。

40 【0017】絶縁されたゲートパターン161aがトランジスタ活性領域155bの上部を横切るように配置され、ゲートパターン161aはボデー延長部155'、上の部分トレンチ素子分離層157aと重畳される。ゲートパターン161a及びトランジスタ活性領域155bの間にはゲート絶縁層159が介在する。一方、完全トレンチ素子分離層157bは、図4に示すように、互いに分離された第1完全トレンチ素子分離層及び第2完全トレンチ素子分離層を含むこともできる。第1及び第2完全トレンチ素子分離層はゲートパターン161aに対して対称関係を維持する。第1及び第2完全トレンチ素

50

子分離層はこれらの端がゲートパターン161aと重畳するようにゲートパターン161aに向かって延長され得る(図4の157'参照)。このような場合、ボデー延長部155'の幅はゲートパターン161aの幅より狭くなる。

【0018】ゲートパターン161aの両側に位置したトランジスタ活性領域155bにソース/ドレイン領域166が形成される。ソース/ドレイン領域166は第1導電型と反対の第2導電型を有する。望ましくは、ソース/ドレイン領域166は埋立絶縁層153と接触する。ソース/ドレイン領域166は低濃度領域162及び高濃度領域165で構成されたLDD構造を有することができる。このようなLDD型のソース/ドレイン領域166は、ゲートパターン161aの側壁に形成されたスペーサ163を使用して実現できる。結果的に、ソース/ドレイン領域166の側壁の大部分(又は全体)は完全トレンチ素子分離層(157b又は157b')によって囲まれる。又、ソース/ドレイン領域166の底は埋立絶縁層153と接触する。従って、ソース/ドレイン領域166の接合キャパシタンスが顕著に減少する。これに加えて、SOIトランジスタの間に完全トレンチ素子分離層(157b又は157b')が存在するので、ラッチアップ耐性が向上する。ボデーコンタクト活性領域155aには第1導電型のウェルコンタクト領域167が形成される。従って、ウェルコンタクト領域167は半導体残余物層155'及びボデー延長部155'を介してソース/ドレイン領域166の間のトランジスタ活性領域155b、即ち、ボデー領域と電気的に連結される。

【0019】図7(A)、図7(B)、図8(A)、図8(B)、図9(A)、図9(B)、図10(A)、図10(B)、図11(A)、図11(B)、図12(A)及び図12(B)は、本発明によるSOI集積回路の製造方法を説明するための工程別素子断面図である。ここで、図7(A)、図8(A)、図9(A)、図10(A)、図11(A)及び図12(A)は、図4のIII-III'線による断面図であり、図7(B)、図8(B)、図9(B)、図10(B)、図11(B)及び図12(B)は、図4IV-IV'線による断面図である。

【0020】図7(A)及び図7(B)を参照すると、支持基板151、支持基板151上に積層された埋立絶縁層153及び埋立絶縁層153上に積層された第1導電型の半導体層で構成されたSOI基板上に第1トレンチマスクパターンMK1を形成する。半導体層はシリコン層であることもできるし、半導体層上に第1トレンチマスクパターンMK1を形成する。第1トレンチマスクパターンMK1は少なくとも2つの分離されたマスクパターンで構成される。第1トレンチマスクパターンMK1をエッチングマスクとして使用して半導体層をエッチングして部分トレンチ領域T1を形成すると共に、ボデーコンタクト活性領域155a及びボデーコンタクト活性領域155aから外

れたトランジスタ活性領域155bを画定する。部分トレンチ領域T1の深さは半導体層の厚さより浅い。従って、部分トレンチ領域T1の下に半導体層より薄い半導体残余物層(155')が残存する。第1トレンチマスクパターンMK1は半導体層上に第1トレンチマスク層を蒸着し、第1トレンチマスク層をパターンニングして形成する。第1トレンチマスク層はパッド酸化膜及びパッド窒化膜を順次に形成して形成できる。

【0021】図8(A)及び図8(B)を参照すると、部分トレンチ領域T1及び第1トレンチマスクパターンMK1を含む基板の全面に第2トレンチマスク層を形成する。第2トレンチマスク層はフォトレジスタ膜で形成するのが望ましい。第2トレンチマスク層を普通の写真工程でパターンニングして、トランジスタ活性領域155b周辺の半導体残余物層155'を露出させる第2トレンチマスクパターンMK2を形成する。ここで、トランジスタ活性領域155b上の第1トレンチマスクパターンMK1は第2トレンチマスクパターンMK2によって露出されるようにすることもできる。しかし、トランジスタ活性領域155b周辺の半導体残余物層155'の一部分は第2トレンチマスクパターンMK2によって覆わなければならない。第1及び第2トレンチマスクパターンMK1、MK2をエッチングマスクとして使用して、埋立絶縁層153が露出される時まで露出された半導体残余物層155'をエッチングする。その結果、トランジスタ活性領域155bの周辺に完全トレンチ領域T2が形成され、トランジスタ活性領域155b及びボデーコンタクト活性領域155aの間にボデー延長部155'が画定される。これによって、トランジスタ活性領域155bはボデー延長部155'及び半導体残余物層155'を介してボデーコンタクト領域155aと電気的に連結される。完全トレンチ領域T2は2つの分離された完全トレンチ領域で構成され得る。このような場合、ボデー延長部155'は2つの分離された完全トレンチ領域の間に位置する。

【0022】図9(A)及び図9(B)を参照すると、第2トレンチマスクパターンMK2を選択的に除去する。次に、第2トレンチマスクパターンMK2が除去された結果物全面に絶縁層を形成する。第1トレンチマスクパターンMK1の上表面が露出されるまで、絶縁層を平坦化させて部分トレンチ領域T1及び完全トレンチ領域T2を充填する素子分離層157を形成する。絶縁層の平坦化は化学機械的研磨(CMP:chemical mechanical polishing)工程又はエッチバック(etch-back)工程を使用して実施できる。素子分離層157は部分トレンチ領域T1を充填する部分トレンチ素子分離層157a及び完全トレンチ領域T2を充填する完全トレンチ素子分離層157bで構成される。ボデー延長部155'及び半導体残余物層155'は部分トレンチ素子分離層157aによって覆われる。一方、2つの分離された完全トレンチ領域T

2は互いに近づくように延長された形態に形成されることもできる。このような場合、ボデー延長部155'の幅は相対的に狭くなり、延長された完全トレンチ素子分離層157b'が形成される(図4参照)。

【0023】図10(A)及び図10(B)を参照すると、第1トレンチマスクパターンMK1を除去して、ボデーコンタクト活性領域155a及びトランジスタ活性領域155bを露出させる。露出されたボデーコンタクト活性領域155a及び露出されたトランジスタ活性領域155b上にゲート絶縁層159を形成する。次に、ゲート絶縁層159を有する結果物全面に導電層161を形成する。

【0024】図11(A)及び図11(B)を参照すると、導電層161をパターンニングしてトランジスタ活性領域155bの上部を横切る絶縁されたゲートパターン161aを形成する。ゲートパターン161aの両端はボデー延長部155'の上部部分トレンチ素子分離層157aと重畳される。これに加えて、ゲートパターン161aは、図4に示されたように、完全トレンチ素子分離層157b'と重畳されることもできる。ゲートパターン161aをイオン注入マスクとして使用してトランジスタ活性領域155bに $1 \times 10^{12}$  ion atoms/cm<sup>2</sup>乃至 $1 \times 10^{14}$  ion atoms/cm<sup>2</sup>の低注入量で第2導電型の不純物を注入する。その結果、ゲートパターン161aの両側に第2導電型の低濃度領域162が形成される。次に、ゲートパターン161aの側壁にスペーサ163を形成する。

【0025】スペーサ163を有する基板上にソース/ドレインイオン注入マスクMK3を形成する。ソース/ドレインイオン注入マスクMK3はトランジスタ活性領域155bを露出させる開口部を有する。望ましくは、開口部の端は、図11(B)に示すように、完全トレンチ素子分離層(157又は157')上に位置する。ゲートパターン161a、スペーサ163及びソース/ドレインイオン注入マスクMK3をイオン注入マスクとして使用して、低濃度領域162に $1 \times 10^{14}$  ion atoms/cm<sup>2</sup>乃至 $5 \times 10^{15}$  ion atoms/cm<sup>2</sup>の高注入量で第2導電型の不純物を注入する。その結果、ゲートパターン161aの両側に第2導電型の高濃度領域165が形成される。低濃度領域162及び高濃度領域165はLDD型のソース/ドレイン領域166を構成する。ソース/ドレイン領域166の底は埋込絶縁層153と接触する。ソース/ドレイン領域166の側壁の大部分(又は全体)は完全トレンチ素子分離層(157b又は157b')と接触する。従って、ソース/ドレイン接合キャパシタンスを顕著に減少させることが出来る。

【0026】図12(A)及び図12(B)を参照すると、ソース/ドレインイオン注入マスクMK3を除去する。ソース/ドレインイオン注入マスクMK3が除去された結果物上にウェルコンタクトイオン注入マスクMK4を形成す

る。ウェルコンタクトイオン注入マスクMK4はボデーコンタクト活性領域155aを露出させる。ウェルコンタクトイオン注入マスクMK4をイオン注入マスクとして使用して、ボデーコンタクト活性領域155aに第1導電型の不純物を注入する。その結果、ボデーコンタクト活性領域155aに第1導電型のウェルコンタクト領域167が形成される。結果的に、ウェルコンタクト領域167は半導体残余物層155'及びボデー延長部155'を介してソース/ドレイン領域166の間のトランジスタ活性領域、即ち、ボデー領域と電氣的に連結される。

【0027】本発明は前述の実施形態を参照して説明されたが、前述の実施形態に限らず、当業者の技術的な水準及び本発明の思想の範囲内で、様々に変形できる。

【0028】

【発明の効果】前述のように、本発明は接合キャパシタンスを顕著に減少させ得る。また、本発明はソース/ドレイン領域の側壁を完全に囲む完全トレンチ素子分離層が存在するので、ラッチアップ耐性を向上させ得る。

【図面の簡単な説明】

【図1】従来のSOIトランジスタを示す平面図である。

【図2】図1のI-I'線による従来のSOIトランジスタを説明するための断面図である。

【図3】図1のII-II'線による従来のSOIトランジスタを説明するための断面図である。

【図4】本発明によるSOI集積回路の平面図である。

【図5】図4のIII-III'線による本発明のSOI集積回路を説明するための断面図である。

【図6】図4のIV-IV'線による本発明のSOI集積回路を説明するための断面図である。

【図7】(A)は、図4のIII-III'線によって本発明の実施形態によるSOI集積回路の製造方法を説明するための断面図、(B)は、図4のIV-IV'線によって本発明の実施形態によるSOI集積回路の製造方法を説明するための断面図である。

【図8】(A)は、図4のIII-III'線によって本発明の実施形態によるSOI集積回路の製造方法を説明するための断面図、(B)は、図4のIV-IV'線によって本発明の実施形態によるSOI集積回路の製造方法を説明するための断面図である。

【図9】(A)は、図4のIII-III'線によって本発明の実施形態によるSOI集積回路の製造方法を説明するための断面図、(B)は、図4のIV-IV'線によって本発明の実施形態によるSOI集積回路の製造方法を説明するための断面図である。

【図10】(A)は、図4のIII-III'線によって本発明の実施形態によるSOI集積回路の製造方法を説明するための断面図、(B)は、図4のIV-IV'線によって本発明の実施形態によるSOI集積回路の製造方法を説明するための断面図である。



11

【図 1 1】(A)は、図 4 のIII-III' 線によって本発明の実施形態によるSOI集積回路の製造方法を説明するための断面図、(B)は、図 4 のIV-IV' 線によって本発明の実施形態によるSOI集積回路の製造方法を説明するための断面図である。

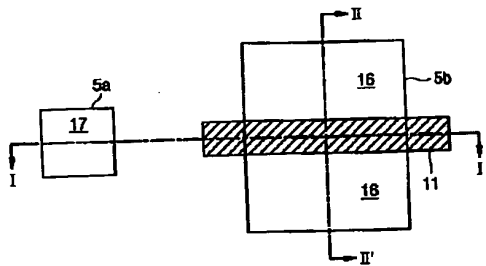
【図 1 2】(A)は、図 4 のIII-III' 線によって本発明の実施形態によるSOI集積回路の製造方法を説明するための断面図、(B)は、図 4 のIV-IV' 線によって本発明の実施形態によるSOI集積回路の製造方法を説明するための断面図である。

## 【符号の説明】

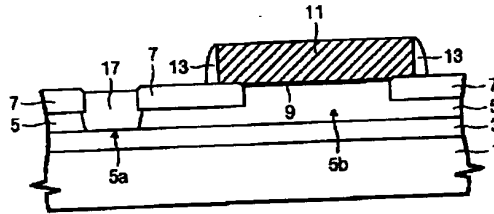
- 151…支持基板  
153…埋立絶縁層  
155a…ボデーコンタクト活性領域  
155b…トランジスタ活性領域  
157a…部分トレンチ素子分離層  
157b…完全トレンチ素子分離層  
159…ゲート絶縁層  
161a…ゲートパターン  
163…スペーサ

10

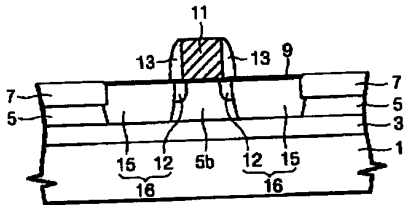
【図 1】



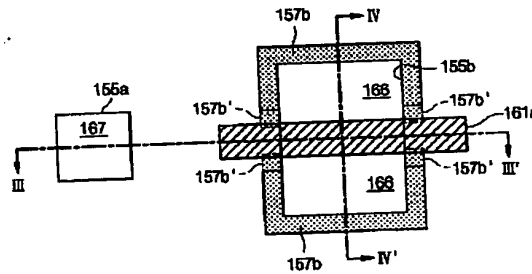
【図 2】



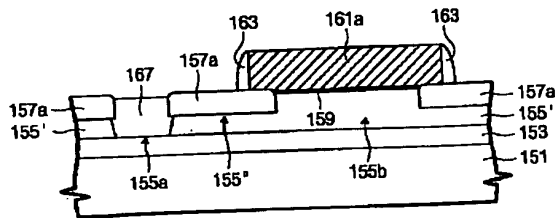
【図 3】



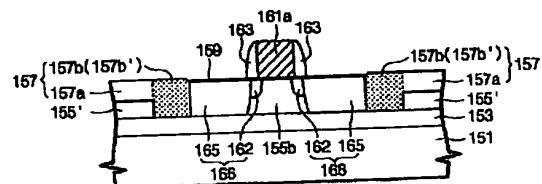
【図 4】



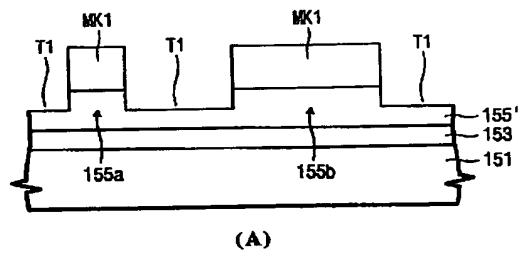
【図 5】



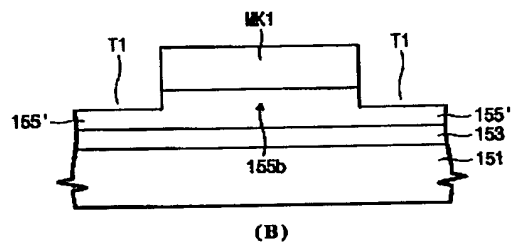
【図 6】



【図 7】

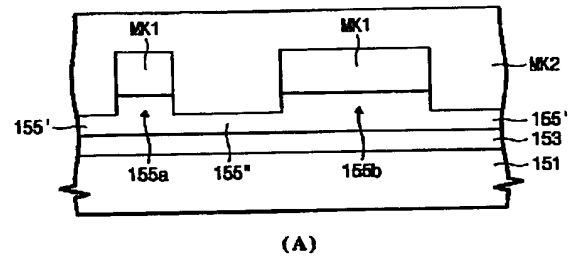


(A)

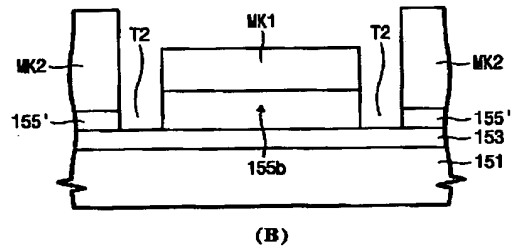


(B)

【図 8】

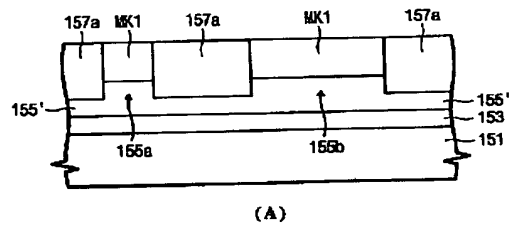


(A)

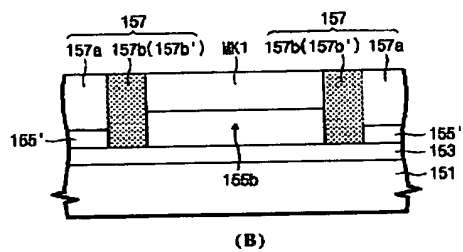


(B)

【図 9】

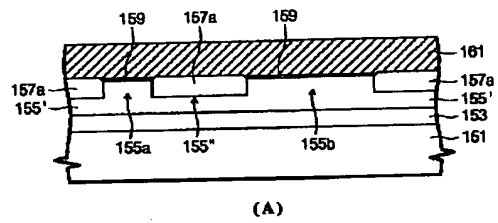


(A)

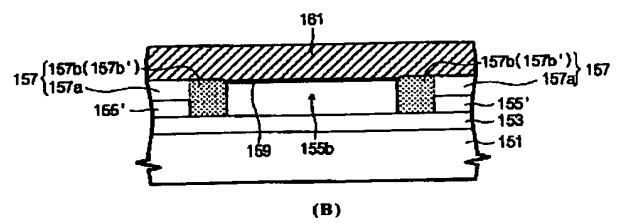


(B)

【図 10】

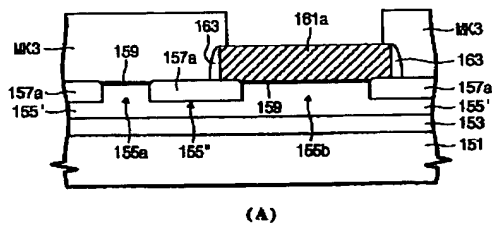


(A)

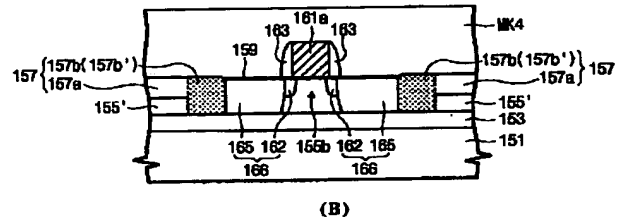
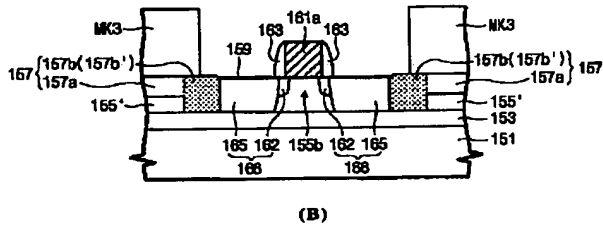
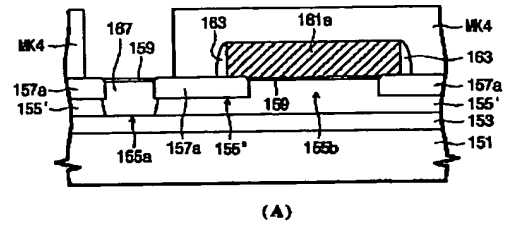


(B)

【図11】



【図12】



フロントページの続き

Fターム(参考) 5F032 AA01 AA35 AA43 BA03 BA05  
 CA01 CA17 DA22 DA33 DA43  
 DA78  
 5F110 AA15 BB04 CC02 DD05 DD13  
 EE31 GG60 HJ04 HJ13 HM15  
 NN62